

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-333469  
(P2002-333469A)

(43)公開日 平成14年11月22日 (2002.11.22)

(51)Int.Cl.  
G 0 1 R 35/00  
31/28  
31/316  
G 0 6 F 11/22 3 1 0

識別記号

F I  
G 0 1 R 35/00  
G 0 6 F 11/22  
11/28  
3 1 0 A 5 B 0 1 8  
3 1 0 R 5 B 0 4 8  
3 6 0 B

マーク (参考)

審査請求 未請求 請求項の数4 OL (全8頁) 最終頁に続く

(21)出願番号 特願2001-139623(P2001-139623)

(22)出願日 平成13年5月10日 (2001.5.10)

(71)出願人 390005175

株式会社アドバンテスト  
東京都練馬区旭町1丁目32番1号

(72)発明者 東 晋作  
東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(72)発明者 片岡 孝浩  
東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(74)代理人 100103171  
弁理士 雨貝 正彦

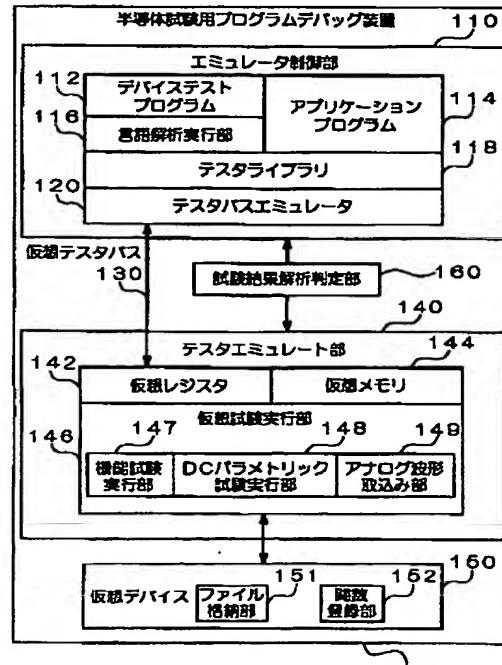
最終頁に続く

(54)【発明の名称】 半導体試験用プログラムデバッグ装置

(57)【要約】

【課題】 アナログ出力端子を備える半導体デバイス用に作成された半導体試験用プログラムの検証を行うことができる半導体試験用プログラムデバッグ装置を提供すること。

【解決手段】 デバイステストプログラム112に含まれるアナログ波形の取得命令が実行され、その内容が言語解析実行部116によって解析されると、テスタライブラリ116からテスタバスエミュレータ120に対してアナログ波形の取り込みが指示される。このとき、仮想デバイス150は、ファイル格納部151に格納されているファイル、あるいは関数登録部152に登録されている関数を用いて、半導体デバイスから出力されるアナログ波形を擬似的に生成する処理を行う。



## 【特許請求の範囲】

【請求項1】 アナログ出力端子を有する被検査用半導体デバイスを試験するために用いられる半導体試験用プログラムのデバッグを行う半導体試験用プログラムデバッグ装置であって、

前記半導体試験用プログラムに基づいて前記被検査用半導体デバイスに入力される試験信号を擬似的に発生して半導体試験装置の動作をエミュレートするテストエミュレート手段と、

前記試験信号が前記被検査用半導体デバイスに入力されたときにこれに対応して出力される出力信号を擬似的に発生する仮想デバイス手段と、

前記半導体試験用プログラムに前記アナログ出力端子の電圧値の取得命令が含まれており、この取得命令が実行されたときに、前記アナログ出力端子から出力されるアナログ波形を擬似的に発生するアナログ波形生成手段と、

を備えることを特徴とする半導体試験用プログラムデバッグ装置。

## 【請求項2】 請求項1において、

前記半導体試験用プログラムを実行したときに、この半導体試験用プログラムに含まれる各種の命令の内容を解析してこれらの各命令に対応した動作指示を前記テストエミュレート手段に与えるとともに、前記取得命令の内容を解析して前記アナログ波形の擬似的な発生指示を前記アナログ波形生成手段に与えるエミュレータ制御手段を備えることを特徴とする半導体試験用プログラムデバッグ装置。

## 【請求項3】 請求項1または2において、

前記アナログ波形生成手段は、経過時間と発生電圧との関係を記述したファイルが格納されており、前記ファイルに基づいて前記アナログ波形を擬似的に発生することを特徴とする半導体試験用プログラムデバッグ装置。

## 【請求項4】 請求項1または2において、

前記アナログ波形生成手段は、前記アナログ波形の形状を定義する関数が登録されており、経過時間に対応する前記関数の値を計算することにより、前記アナログ波形を擬似的に発生することを特徴とする半導体試験用プログラムデバッグ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体試験装置の動作をエミュレートして半導体試験用プログラムの検証を行う半導体試験用プログラムデバッグ装置に関する。

## 【0002】

【従来の技術】 従来から、出荷前のロジックICや半導体メモリ等の各種の半導体デバイスに対して直流試験や機能試験等を行うものとして、半導体試験装置が知られている。半導体試験装置が行う試験の主なものには、機能試験と直流試験がある。機能試験は、被検査用半導体

デバイスに所定の試験パターン信号を与え、この試験パターン信号に対して予定通りの動作を被検査用半導体デバイスが行ったか否かを検査するものである。直流試験は、被検査用半導体デバイスの各端子の直流特性が予定した特性を満たしているか否かを検査するものである。

【0003】 また、最近では、携帯電話に用いられている半導体デバイスのように、アナログ出力端子を備えた半導体デバイスも多くなっている。このため、半導体試験装置にも、このような半導体デバイスのアナログ出力波形を取り込む機能が追加されたものがある。この半導体試験装置には、アナログ-デジタル（A/D）変換器が備わっており、所定のサンプリング周波数でアナログ出力波形の電圧値を離散的に取り込むことができる。このようにして取得されたアナログ出力波形のデータに基づいて、例えば周波数分析処理等の各種の解析処理が行われる。

【0004】 上述した機能試験や直流試験を行う場合に、どのような測定項目の試験をどのような条件で行うかといった各種の条件は予め半導体試験用プログラムに

組み込まれているので、この半導体試験用プログラムを動作させることによって被検査用半導体デバイスの各種試験を行うことができる。しかしながら、半導体試験用プログラムは、試験項目の設定、試験条件の設定、試験の実行、試験結果の判定などといった多岐に渡る動作を制御しなければならず、膨大なステップのプログラムで構築されている。この半導体試験用プログラムは、被検査用半導体デバイスの種類が変更になったり、そのロジックが変更になったりした場合に、それにあわせて種々変更しなければならない。半導体試験用プログラムが新規に作成されたり、変更された場合に、そのプログラム自体が正常に動作するものなのか否か、そのプログラムの評価を行う必要がある。

【0005】 そのための一つの方法として、実際の半導体試験装置を用いて予め良否のわかっている被検査用半導体デバイスに対して、半導体試験用プログラムを動作させて、そのプログラムの評価を行っていた。しかし、半導体試験装置自体が高価であって導入台数も少ないとから、実際の半導体試験装置を用いて半導体試験用プログラムが正常に動作するか否かの評価を行うことは、

半導体試験のラインを停止することになり、好ましくない。そこで、従来は、実際の半導体試験装置を用いて半導体試験用プログラムの評価を行うのではなく、ワークステーション等の汎用コンピュータを用いて半導体試験装置の動作をエミュレートして、その半導体試験用プログラムが正常に動作しているか否かの検証を行っていた。

【0006】 このように半導体試験装置の動作をエミュレートするものとして、例えば特開平9-185519号公報に開示されたデバッグ装置が知られている。このデバッグ装置では、実際の半導体試験装置が被検査用半

導体デバイスに対して試験を行うのと同じように、被検査用半導体デバイスの測定対象となる各ピン（評価対象ピン）に対して試験条件に従った印加波形データを作成し、この印加波形データが被検査用半導体デバイスの入力ピンに印加された場合に出力ピンから出力されるであろう出力波形データを擬似的に作成し、この出力波形データを試験条件と比較することによって、バス／フェイルの判定を行い、それを試験結果格納部に格納し、それと予想される試験結果の期待値とを比較検討し、半導体試験用プログラムが正常に動作しているか否かの検証を行っていた。

## 【0007】

【発明が解決しようとする課題】ところで、上述した従来のデバッグ装置では、被検査用半導体デバイスの各ピンに対応して固定の値を有する出力波形データを生成し、この値を用いて試験条件に沿ったバス／フェイルの判定を行っているだけであるため、携帯電話に用いられる半導体デバイス等のようにアナログ出力端子がある被検査用半導体デバイスが測定対象であって、しかもアナログ出力波形の電圧値を取り込む命令が含まれる半導体試験用プログラムがあった場合に、この電圧値を取り込む命令に対応する半導体試験用プログラムの検証を行うことができないという問題があった。

【0008】本発明は、このような点に鑑みて創作されたものであり、その目的は、アナログ出力端子を備える半導体デバイス用に作成された半導体試験用プログラムの検証を行うことができる半導体試験用プログラムデバッグ装置を提供することにある。

## 【0009】

【課題を解決するための手段】上述した課題を解決するために、本発明の半導体試験用プログラムデバッグ装置は、アナログ出力端子を有する被検査用半導体デバイスを試験するために用いられる半導体試験用プログラムのデバッグを行うために、テストエミュレート手段、仮想デバイス手段、アナログ波形生成手段を備えている。テストエミュレート手段は、半導体試験用プログラムに基づいて被検査用半導体デバイスに入力される試験信号を擬似的に発生して半導体試験装置の動作をエミュレートする。仮想デバイス手段は、試験信号が前記被検査用半導体デバイスに入力されたときにこれに対応して出力される出力信号を擬似的に発生する。アナログ波形生成手段は、半導体試験用プログラムにアナログ出力端子の電圧値の取得命令が含まれており、この取得命令が実行されたときに、アナログ出力端子から出力されるアナログ波形を擬似的に発生する。半導体試験用プログラムに含まれる被検査用半導体デバイスのアナログ出力波形の取得命令が実行されたときに、対応するアナログ出力波形が擬似的に生成され、このアナログ波形を取り込む状態を再現することができるため、アナログ出力端子を備える半導体デバイス用に作成された半導体試験用プログラ

ムの検証を行うことが可能となる。

【0010】また、上述した半導体試験用プログラムを実行したときに、この半導体試験用プログラムに含まれる各種の命令の内容を解析してこれらの各命令に対応した動作指示をテストエミュレート手段に与えるとともに、取得命令の内容を解析してアナログ波形の擬似的な発生指示をアナログ波形生成手段に与えるエミュレータ制御手段を備えることが望ましい。実際に取得命令が実行され、その内容が解析されたときにアナログ波形の生成が開始されるため、実際にアナログ波形を取得するタイミングでアナログ波形の擬似的な生成を行えばよいため、アナログ波形生成に必要な演算量を低減することができる。

【0011】また、上述したアナログ波形生成手段は、経過時間と発生電圧との関係を記述したファイルが格納されており、ファイルに基づいてアナログ波形を擬似的に発生することが望ましい。どのような形状を有する波形であっても経過時間と電圧値の関係を予め指定するだけで発生することができるため、複雑な波形を容易に発生することができる。

【0012】また、上述したアナログ波形生成手段は、アナログ波形の形状を定義する関数が登録されており、経過時間に対応する関数の値を計算することにより、アナログ波形を擬似的に発生することが望ましい。関数の内容を定義するだけでアナログ波形を擬似的に発生することができるため、アナログ波形の生成に必要なデータ量を低減することができる。

## 【0013】

【発明の実施の形態】以下、本発明の半導体試験用プログラムデバッグ装置の一実施形態について、図面を参照しながら説明する。図1は、半導体試験用プログラムデバッグ装置（以下、単に「デバッグ装置」と称する）の全体構成を示す図である。本実施形態のデバッグ装置100は、半導体試験装置の動作をエミュレートし、かつ被検査用半導体デバイスの動作をシミュレートすることによって、半導体試験用プログラムが正常に動作するか否かを検証するためのものであり、ワークステーション等の汎用コンピュータによって実現される。

【0014】本実施形態のデバッグ装置100は、実際の半導体試験装置および被検査用半導体デバイスの動作を模擬するものなので、その詳細な説明を行う前に、模擬される半導体試験装置の概略構成について説明する。図2は、実際の半導体試験装置の全体構成を示す図である。同図では、半導体試験装置200に実際の被検査用半導体デバイス250が装着された状態が示されている。半導体試験装置200は、被検査用半導体デバイス250に対して各種の直流試験（DCパラメトリック試験）や機能試験を行うとともに、アナログ出力端子を備える被検査用半導体デバイス250に対してアナログ出力波形を取り込む機能を有している。このために、半導

体試験装置200は、テスタ制御部210、テスタ本体240、被検査用半導体デバイス250を搭載するソケット部(図示せず)を含んで構成されている。

【0015】テスタ制御部210は、テスタ本体240の動作を制御するためのものであり、半導体試験用プログラム(デバイステストプログラム)212、アプリケーションプログラム214、言語解析実行部216、テスタライブラリ218、テスタバスドライバ220を含んで構成されている。

【0016】デバイステストプログラム212は、ユーザが半導体試験装置200を用いて、被検査用半導体デバイス250に対してどのような試験を行うのか、その手順や方法を記述したものである。一般的にこのデバイステストプログラム212は、半導体試験装置200のユーザによって開発作成されるものである。ユーザは、実際の半導体試験装置200を用いることなく、本実施形態のデバッグ装置100を用いることにより、自分が作成したデバイステストプログラム212が正常に動作するか否かの検証を行うことができる。これにより、完成度の高いデバイステストプログラム212を作成することができる。また、このデバイステストプログラム212には、被検査用半導体デバイス250から出力されるアナログ波形の取り込みを指示する取得命令が含まれている。

【0017】言語解析実行部216は、デバイステストプログラム212の構文解析などを行い、デバイステストプログラム212に従って半導体試験装置200を忠実に動作させる中心的な役割を果たすものである。アプリケーションプログラム214は、デバイステストプログラム212および言語解析実行部216と連携して動作するものであり、機能試験等の各種の試験に対応した実際の試験信号等を被検査用半導体デバイス250に印加し、その出力信号を取り込んで被検査用半導体デバイス250の良否を判定したり、特性を解析する。

【0018】テスタライブラリ218は、言語解析実行部216によって構文解析が行われた後のデバイステストプログラム212の命令をレジスタレベルの命令(後述するレジスタ242へのデータ書き込み命令およびレジスタ242からのデータ読み出し命令に関するデータ)に変換して、半導体試験装置200の動作に必要なデータの作成や設定を行うとともに、テスタ本体240に対して測定動作を指示する。テスタバスドライバ220は、テスタバス230を介して、テスタライブラリ218によって作成されたデータをテスタ本体240内のレジスタ242に転送する。

【0019】テスタ本体240は、テスタバス230を介して取り込まれたテスタ制御部210からのデータに基づいて、被検査用半導体デバイス250に対して各種の試験を行うとともに、必要に応じて被検査用半導体デバイス250のアナログ出力端子から出力されるアナロ

グ波形の電圧値を取り込む動作を行う。このために、テスタ本体240は、レジスタ242とメモリ244と試験実行部246とを含んで構成されている。レジスタ242は、テスタバス230を介して取り込まれたテスタライブラリ218からのデータを格納する。このレジスタ242に格納されたデータは、直接あるいはメモリ244を介して試験実行部246に出力される。また、レジスタ242およびメモリ244は、試験実行部246からの試験結果に関するデータを格納する試験結果格納領域(図示せず)を有する。

【0020】試験実行部246は、機能試験実行部247、DCパラメトリック試験実行部248およびアナログ波形取込み部239を備えている。機能試験実行部247は、レジスタ242やメモリ244に格納されたテスタライブラリ218からのデータに基づいて、被検査用半導体デバイス250に対して機能試験を行い、その試験結果のデータをレジスタ242やメモリ244の試験結果格納領域に格納する。同様に、DCパラメトリック試験実行部248は、レジスタ242やメモリ244に格納されたテスタライブラリ218からのデータに基づいて、被検査用半導体デバイス250に対してDCパラメトリック試験を行い、その試験結果のデータをレジスタ242やメモリ244の試験結果格納領域に格納する。また、アナログ波形取込み部249は、被検査用半導体デバイス250のアナログ出力端子から出力されるアナログ波形の電圧値を所定のサンプリング間隔で取り込み、この取り込んだ電圧値に対してアナログ-デジタル変換(A/D変換)を行った結果であるアナログ波形データをメモリ244内の試験結果格納領域に格納する。このようにしてレジスタ242およびメモリ244に格納された試験結果データやアナログ波形データは、テスタバスドライバ220によってテスタバス230を介して直接テスタライブラリ218に取り込まれる。なお、メモリ244に格納されたデータは、レジスタ242を介してテスタライブラリ218に取り込まれる。

【0021】図1に示したデバッグ装置100は、上述した半導体試験装置200の全体動作をエミュレートするとともに、被検査用半導体デバイス250の動作をシミュレートするものである。したがって、半導体試験装置200用に作成されたデバイステストプログラム112(212)を図1のデバッグ装置100を用いて実行することにより、そのデバイステストプログラム112の動作がユーザの意図したものと一致するか否かを調べることができる。次に、本実施形態のデバッグ装置100の構成について説明する。

【0022】図1に示すように、本実施形態のデバッグ装置100は、エミュレータ制御部110、テスタエミュレート部140、仮想デバイス150、試験結果解析判定部160を備えている。エミュレータ制御部110がエミュレータ制御手段に、テスタエミュレート部14

0がテストエミュレート手段に、仮想デバイス150が仮想デバイス手段、アナログ波形生成手段にそれぞれ対応する。

【0023】エミュレータ制御部110は、デバイストレーニングプログラム112、アプリケーションプログラム114、言語解析実行部116、テスタライブラリ118、テスタバスエミュレータ120を含んで構成されている。このエミュレータ制御部110は、テスタエミュレート部140の動作を制御するためのものであり、図2に示した半導体試験装置200に含まれるテスタ制御部210と基本的に同じ動作を行う。

【0024】デバイストレーニングプログラム112は、半導体試験装置200を用いて被検査用半導体デバイス250に対してどのような試験を行うのか、その手順や方法を記述したものであり、デバッグ装置100によって行われるデバッグの対象となるプログラムである。したがって、図2に示すデバイストレーニングプログラム212がそのままこのデバイストレーニングプログラム112として移植され、同様の動作を行うように構成される。アプリケーションプログラム114、言語解析実行部116およびテスタライブラリ118についても同様に、図2に示したアプリケーションプログラム214、言語解析実行部216およびテスタライブラリ218がそのまま移植され、同様の動作を行うように構成される。

【0025】テスタバスエミュレータ120は、エミュレータ制御部110とテスタエミュレート部140との間を仮想的に接続する仮想テスタバス130を駆動し、この仮想テスタバス130を介してテスタライブラリ118とテスタエミュレート部140との間のデータの送受を制御する。

【0026】テスタエミュレート部140は、図2に示したテスタ本体240の動作をソフトウェアで実現したものであり、エミュレータ制御部110内のテスタライブラリ118の動作指示に応じて仮想デバイス150に対する模擬的な試験を行う。テスタエミュレート部140は、仮想レジスタ142と仮想メモリ144と仮想試験実行部146を含んで構成されている。仮想レジスタ142は、テスタライブラリ118からのデータを格納する。この仮想レジスタ142に格納されたデータは、直接あるいは仮想メモリ144を介して仮想試験実行部146に送られる。また、仮想レジスタ142と仮想メモリ144は、仮想試験実行部146から出力される仮想試験結果データを格納する試験結果格納領域(図示せず)を有する。

【0027】仮想試験実行部146は、機能試験実行部147、DCバラメトリック試験実行部148およびアナログ波形取込み部149を備えている。この仮想試験実行部146は、仮想レジスタ142に格納されたテスタライブラリ118からのデータに基づいて、仮想デバイス150に対して所定の印加波形データを出力して、

機能試験実行部147による機能試験やDCバラメトリック試験実行部148によるDCバラメトリック試験を行い、その仮想試験結果データを仮想レジスタ142やメモリ144の試験結果格納領域に格納する。また、仮想デバイス150によってアナログ波形が擬似的に生成されたときに、アナログ波形取込み部149によってこのアナログ波形を所定のサンプリング間隔で取り込む動作を行い、取り込んだアナログ波形データがメモリ144の試験結果格納領域に格納される。仮想レジスタ142および仮想メモリ144に格納された仮想試験結果データやアナログ波形データは、仮想テスタバス130を介してテスタライブラリ118に出力される。

【0028】試験結果解析判定部160は、仮想レジスタ142やメモリ144又はテスタライブラリ118に格納されている仮想試験結果データと、予め予想される試験結果の期待値とを比較検討し、デバイストレーニングプログラム112が正常に動作しているか否かの検証を行い、その結果をユーザに表示する。例えば、デバイストレーニングプログラム112の実行によって誤った試験結果が得られた場合は、その誤った試験結果の原因となるプログラムの行番号等をモニタ画面(図示せず)に表示したり、プリントアウトしたりする。なお、この試験結果解析判定部160は、機能試験やDCバラメトリック試験に対して上述した検証処理を行っており、取り込んだアナログ波形データに基づく検証は行わないようになっている。アナログ波形データに基づく検証は、ユーザが作成するデバイストレーニングプログラム112によって行われる。

【0029】本実施形態のデバッグ装置100では、デバイストレーニングプログラム112にアナログ出力波形を取り込む取得命令が含まれておらず、この取得命令を実行したときに、仮想デバイス150によってこのアナログ出力波形が擬似的に生成される。このために、仮想デバイス150は、ファイル格納部151および関数登録部152を備えている。本実施形態では、2種類の手法を用いてアナログ波形を擬似的に発生しており、一方の手法においてファイル格納部151が、他方の手法において関数登録部152が用いられる。

【0030】図3は、経過時間と発生電圧との関係を示すテーブルの具体例を示す図である。図3において、「t」は経過時間を、「V」は経過時間tに対応するアナログ波形の電圧値(瞬時値)をそれぞれ示している。このように、経過時間と電圧値の関係をテーブル形式で保持することにより、アナログ波形の形状を容易に特定することができる。

【0031】図4は、図3に示したテーブルを含むファイルの具体的な内容を示す図である。例えば、経過時間と電圧値との間をカンマ(,)で区切ったテキストデータの対を必要数分含んだテキスト形式のファイルによって、図3に示したテーブルの内容が記述されている。仮

想デバイス150は、所定のタイミングでこのファイルをファイル格納部151から読み出し、このファイルによって示される経過時間と電圧値との関係に基づいてアナログ波形を擬似的に発生する動作を行う。

【0032】図5は、関数登録部152に登録された関数の具体例を示す図である。図5において、「f」がユーザによって定義された関数を示しており、例えば倍精度で表された経過時間(double time)をパラメータとして、関数値valが既存の関数を用いて、あるいは任意の式を組み合わせて定義される。ここで、既存の関数とは各種のプログラミング言語で用意されている組込関数等であり、図5に示した例では、C言語で用意されている三角関数(sin, cos)を用いる場合が示されている。任意の波形は、複数の三角関数を組み合わせることにより造ることができます。上述した既存の関数としては、三角関数が最も適していると考えられるが、それ以外の関数を用いるようにしてもよい。また、一次関数や二次関数等の比較的単純な関数を用いる場合には、上述した組込関数を用いずに、時間変数(time)を用いた一次式や二次式等を用いて関数の内容を定義することもできる。仮想デバイス150は、所定のタイミングで、定義された関数の内容を関数登録部152から読み出し、経過時間に対応する関数fの値(val)を計算することにより、アナログ波形を擬似的に発生する動作を行う。

【0033】このようにして、半導体試験装置200内のアナログ波形取込み部249によって被検査用半導体デバイス250から実際に出力されたアナログ波形を取り込む場合と同様のアナログ波形データを得ることができます。図6は、実際のデバイステストプログラム112に含まれるアナログ出力波形の取得命令の具体例を示す図である。この取込み命令「AFD. Start(0)」が実行され、言語解析部116によってその内容が解析されると、テスタライブラリ118によってテスタバスエミュレータ120に対してアナログ出力波形の取り込みが指示される。テスタバスエミュレータ120は、この指示内容を仮想テスタバス130を介してテスタエミュレート部140に送る。この指示に応じて、テスタエミュレート部140内の仮想試験実行部146に備わったアナログ波形取込み部149は、仮想デバイス150によって生成されるアナログ波形の取り込みを行う。

【0034】上述したテスタエミュレート部140の動作と並行して、仮想デバイス150は、ファイル格納部151に予め格納されているファイルの内容に基づいて、あるいは関数登録部152に予め登録されている関数の定義内容に基づいてアナログ波形を擬似的に生成する。アナログ波形取込み部249を用いた実際のアナログ波形の取込みは、ユーザによって予め指定されたサンプリング間隔で行われるため、仮想デバイス150によるアナログ波形データの計算も、このサンプリング間隔

に合わせて行われる。

【0035】このように、本実施形態のデバッグ装置100では、デバッグ対象となるデバイステストプログラム112に被検査用半導体デバイス250のアナログ出力波形の取り込みを指示する取得命令が含まれている場合に、この取得命令の実行に応じて擬似的にアナログ波形を発生しているため、この所得命令に対応するデバイステストプログラム112の検証を確実に行うことができる。

【0036】特に、アナログ波形の経過時間と電圧値との関係をテーブル形式で記述したファイルをファイル格納部151に格納しておいて、このファイルに基づいてアナログ波形の擬似的な生成を行う場合には、どのような形状を有する波形であっても経過時間と電圧値の関係を予め指定するだけで発生することができるため、複雑な波形を容易に発生することが可能になる。

【0037】また、関数の内容を予め定義して関数登録部152に登録しておいて、この登録された関数を用いてアナログ波形の擬似的な生成を行う場合には、アナログ波形の生成に必要なデータ量を低減することができる。

【0038】また、上述した実施形態では、仮想デバイス150内にファイル格納部151と関数登録部152の両方を備えるようにしたが、いずれか一方のみを備えるようにしてもよい。また、上述した実施形態では、アナログ波形の擬似的な発生処理を仮想デバイス150によって行うようにしたが、他の部分、例えば仮想試験実行部146内のアナログ波形取込み部149によってアナログ波形の擬似的な生成処理を行うようにしてもよい。

【0039】  
【発明の効果】上述したようにこの発明によれば、半導体試験用プログラムに含まれる被検査用半導体デバイスのアナログ出力波形の取得命令が実行されたときに、対応するアナログ出力波形が擬似的に生成され、このアナログ波形を取り込む状態を再現することができるため、アナログ出力端子を備える半導体デバイス用に作成された半導体試験用プログラムの検証を行うことが可能となる。

【図面の簡単な説明】  
【図1】一実施形態の半導体試験用プログラムデバッグ装置の全体構成を示す図である。

【図2】実際の半導体試験装置の全体構成を示す図である。

【図3】経過時間と発生電圧との関係を示すテーブルの



## フロントページの続き

(51)Int.C1. <sup>7</sup>	識別記号	F I	マークコード(参考)
G 0 6 F 11/22	3 6 0	G 0 6 F 12/16	3 3 0 A
11/26		G 0 1 R 31/28	F
12/16	3 3 0		C

F ターム(参考) 2G132 AA00 AB01 AC09 AE14 AE16  
AE18 AE23 AG02 AH01 AJ07  
AL38  
5B018 GA03 JA11 JA22  
5B048 AA23 DD08 DD17 EE03